

文章编号:1007-2780(2010)01-0075-04

基于 FPGA 的 TFT-LCD 控制器的设计和实现

苏维嘉,张 澎

(辽宁工程技术大学 机械工程学院,辽宁 阜新 123000, E-mail:blueice8601@163.com)

摘 要: 在 Verilog HDL 设计的行、场扫描时序基础上,设计并实现了基于 FPGA 的 TFT-LCD 控制器。该控制器在修改行、场扫描时序后可以驱动不同分辨率的 TFT-LCD,具有很好的移植性。

关 键 词: FPGA;TFT-LCD 控制器;Verilog HDL

中图分类号: TN873⁺.93; TP334.7 **文献标识码:** A

Design and Implementation of TFT-LCD Controller Based on FPGA

SU Wei-jia, ZHANG Peng

(College of Mechanical Engineering, Liaoning Technical University, Fuxin 123000, China, E-mail:blueice8601@163.com)

Abstract: Controller of TFT-LCD based on FPGA was designed in this paper. Verilog HDL was used to generate the timing for TFT-LCD synchronization signal. By changing synchronization, it could support various interface of display systems. This display system had a good repartition.

Key words: FPGA; TFT-LCD controller; Verilog HDL

1 引 言

TFT 技术是 20 世纪 90 年代发展起来的采用新材料和新工艺的大规模半导体全集成电路制造技术,是液晶(LC)、无机和有机薄膜电致发光(EL 和 OEL)平板显示器的基础。TFT-LCD 的主要特点是为每个像素配置一个半导体开关器件,由集成在像素点后面的薄膜晶体管来驱动,从而可以做到高速度、高亮度、高对比度显示屏幕信息。由于每个像素都可以通过点脉冲直接控制,因而每个节点都相对独立,避免了无源矩阵显示的交叉串扰问题。这样的设计方法不仅提高了显示屏的反应速度,同时也可以精确控制显示灰度。

随着嵌入式技术的发展,TFT-LCD 作为显示模块应用在嵌入式系统中已经成为发展趋势^[1-4]。但是,某些嵌入式处理器没有集成 LCD

控制寄存器,限制了嵌入式系统图形显示的应用。本文设计了一种基于 FPGA 的 TFT-LCD 控制器,可以对不同分辨率的 TFT-LCD 进行驱动。

2 TFT-LCD 的时序控制

设计中采用的显示模块为 17.8 cm(7 in)、6 bit 数字信号、640×480 分辨率的 TFT-LCD,接口由数据使能信号、像素点驱动时序、行场扫描时序和 RGB 数据线组成。显示器的图形显示时序控制过程如下:

(1) 像素的显示由 DCLK 控制,在一个 DCLK 周期中完成一个像素点的显示,在 DCLK 的高电平读入像素数据,在其下降沿将数据写到 TFT-LCD 上显示;

(2) 行的显示由水平同步信号 HD 驱动,在每个 HD 高电平,完成一行共 640 个像素的显示,在

收稿日期:2009-06-05; 修订日期:2009-06-25

作者简介:苏维嘉(1954—),男,辽宁阜新人,高级工程师,主要研究方向为智能传感器与智能仪表、无损检测与故障诊断、GPS 应用、矿山动力灾害的电磁辐射检测与电荷检测。

此时期数据使能信号 DENA 置高,DCLK 产生 640 个周期,如图 1 所示;

(3)在行场时序的控制下,屏幕从左到右(受水平同步信号 HD 控制)、从上到下(受垂直同步信号 VD 控制)开始逐行显示,如图 2 所示。

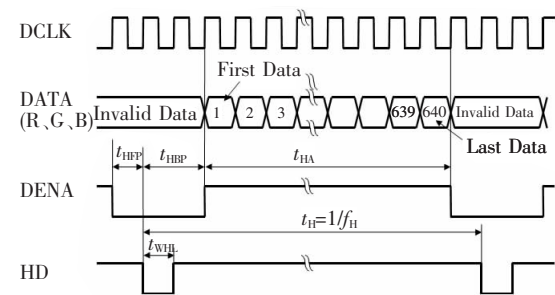


图 1 TFT 行时序控制逻辑图
Fig.1 TFT horizontal timing chart

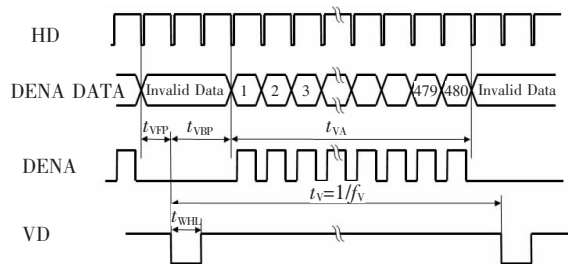


图 2 TFT 行场时序控制逻辑图
Fig.2 TFT vertical timing chart

3 接口电路设计

3.1 接口电路组成

通用 TFT-LCD 控制器接口框图如图 3 所示,由控制模块和显示缓冲区组成。
图中的 FPGA 采用的是 Altera 公司 Cyclone II 系列的 EP2C35F672C8。Altera Cyclone II 采用

全铜层、低 K 值、1.2 V SRAM 工艺设计,裸片尺寸被尽可能最小的优化。采用 300 mm 晶圆,以 TSMC 成功的 90 nm 工艺技术为基础,Cyclone II 器件提供了 4 608 到 68 416 个逻辑单元(LE),具有一整套最佳的功能,包括嵌入式 18 bit×18 bit 乘法器、专用外部存储器接口电路、4 kbit 嵌入式存储器块、锁相环(PLL)和高速差分 I/O 能力。

基于 FPGA 的控制模块采用 Verilog HDL 进行模块化设计^[5],主要完成时序发生、显示缓冲区数据等功能。图像显示过程如下:

640×480 的位图经过取模软件得到二进制数据后通过 EP2C35F672C8 将图像数据存入图像缓冲区,然后,将图像缓冲区中进行格式转换后的数据由数据传送模块传送到通过时序发生器驱动的 TFT 上显示。

显示缓冲区采用 SDRAM 作为载体。显示器可以显示 640×480 分辨率的图像,一副图像的大小是 640×480×3×6,其中的 6 是指本文中的显示器支持 6 位数据,3 是 R、G、B 数据。根据图像大小,显示缓存使用外接 1 MB SRAM LH5P8128N-8 作为显示缓冲区来存放缓冲的图像数据。

3.2 Verilog HDL 模块化设计

基于 FPGA 的控制模块包括时序产生模块和数据控制模块两大部分。

根据图 1 与图 2 设计的基于 FPGA 的时序发生器主要用于行场信号同步,使能显示数据。其中,clk 是 FPGA 时钟,d_clk 是像素时钟,vd_clk 和 hd_clk 是行场扫描同步信号,dena_clk 是数据使能信号。像素时钟 d_clk 由 FPGA 的系统时钟 50 MHz 经数字锁相环分频得到。d_clk 驱动行、场时序生成器产生符合 TFT 驱动时序所示的行、场同步信号。d_clk 的时序通过时序图设计,与 vd_clk 和 hd_clk 信号有关,同样由 d_clk 驱动。

```
Module VD_HD_DENA_TIMER(clk,d_clk,vd_
                        clk,hd_clk,dena_clk);
.....
always @(posedge clk)
begin
    counter_d <= counter_d+1;
    case(counter_d)
        'd3: d_clk <= 1;
```

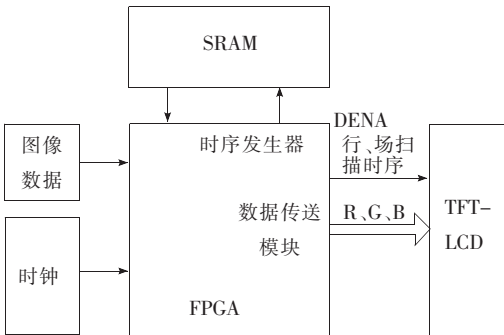


图 3 基于 FPGA 的 TFT-LCD 接口框图
Fig.3 TFT-LCD controller based on FPGA

```

'd4: begin
    d_clk <= 0;
    counter_d <= 0;
end
endcase
end
always @(posedge d_clk)
    //vd_clk generator(All_parament_do
    // not_need_change, your only things to
do is
    // change the always control timer)
begin
    counter_vd <= counter_vd+1;
    case (counter_vd)
        'd2000: vd_clk <= 1;
        //Twl=2Th=2*(tha+thbp+thfp)=2*
800-----Tck(+modify)
        'd418000:
            begin
                vd_clk <= 0;
            ;//Tv = tva + tvbp + tvfp = (35 + 10 +
            480)* 800-----Tck(+modify)
                counter_vd <= 0;
            end
        endcase
    end
    always @(posedge d_clk)
    begin
        if(vd_clk==1)
        begin
            counter_hd <= counter_hd+1;
            //Twhl=96-----Tck
            case (counter_hd)
                'd96:    hd_clk <= 1;
                'd144:
                    begin
                        if(counter_vd > 'd28000)
                        //Tvbp=35 * th=35 * 800---Tck ahead
                        dena_clk <= 1;
                        //THBP=144-----Tck
                        else
                        dena_clk <= 0;
                        end
                    end
            endcase
        end
    end
end

```

```

'd784:
    dena_clk <= 0;
    //THA + THBP = 640 * Tck + THA =
784-----Tck
'd800:
    begin
        hd_clk <= 0;
        //Th=31.7us(THFP=16 * -----Tck)
        counter_hd <= 0;
    end
endcase
end
else
    counter_hd <= 0;
end
endmodule

```

数据控制模块用于控制 SDRAM, 向在 SDRAM 中的显示缓冲区写入接收到的图像数据和将缓冲区中的数据显示到 TFT-LCD 上。

4 TFT-LCD 显示效果

一般 TFT-LCD 的反应时间约为 80 ms, 如果要提高就会有闪烁现象发生。经试验, 本控制器将 DCLK 配置成 20 MHz 时, 17.8 cm(7 in)、分辨率为 VGA 的 TFT-LCD 表现出极佳的显示效果, 色彩亮丽、饱满。见图 4。



图 4 由所设计的控制器驱动的 TFT-LCD 显示照片
Fig. 4 Picture of TFT-LCD controlled by TFT-LCD controller

5 结 论

设计了基于 FPGA 的 TFT-LCD 控制器,使用 Verilog HDL 实现模块设计,具有简便、易读、

可重用性强和可移植等特点。解决了嵌入式系统实时图像显示的问题,节约了开发成本和隐性开发时间成本,扩展了应用范围。

参 考 文 献:

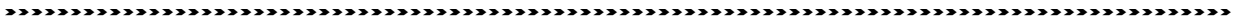
[1] 胡必武,宋跃,胡升平,等. 基于 TFT-LCD&ARM&FPGA 的触摸手持式存储示波表[J]. 液晶与显示,2008,23(1): 112-116.

[2] 蔡希昌,翟林培,周九飞,等. 基于 FPGA 的非 XGA 标准图像显示控制器的设计[J]. 液晶与显示,2008,23(3): 301-3066.

[3] 杨海涛,苏涛,巫檬. 基于 FPGA 的 SDRAM 控制器的设计和实现[J]. 电子科技,2007,(1):8-12.

[4] 朱耀东,经亚枝,张焕春. 基于 FPGA 的 LCD&VGA 控制器设计[J]. 电子技术应用,2002,(11):44-46.

[5] Bhasker J. VerilogHDL 硬件描述语言[M]. 第 2 版. 徐振林,译. 北京:机械工业出版社,2000.



用阿拉伯数字表示的数值的书写规则

1. 4 位和 4 位以上的数字用三位分节法。例如:2 613. 3,3. 141 592 6,间隙大小为 1/4~1/2 个汉字。
2. 纯小数小数点前的“0”不能省略。
3. 多位数不能断开转行。例如:将一个小数从小数点处断开,小数点留在行末,小数点后的数字移下行行首。;将一个百分数在“%”前断开,将“%”移到下一行等。
4. 阿拉伯数字不能与除万、亿及 SI 词头中文字符号外的汉字数词连用。例如:“十二亿一千五百万”可以写成“121 500 万”或“12. 15 亿”但不能写成“12 亿 1 千 5 百万”。
- 当百、千、兆等为法定单位词头时,可以与阿拉伯数字连用。例如:“5 000 米”可以写成“5 千米”,但“5 000 天”不能写成“5 千天”,天不允许加词头。
5. 数值的有效位数应全部写出。

组合单位加词头的规则

- a. 通过单位相乘构成的组合单位,通常词头加在第 1 个单位前面。例如:N·s 加词头 k,应为 kN·s。但常见的法定单位中有 2 个单位例外。一个是电阻率的单位 $\Omega \cdot \text{m}$,通常写成 $\text{k}\Omega \cdot \text{m}$, $\text{M}\Omega \cdot \text{m}$,但当加词头 c 时,则要写成 $\Omega \cdot \text{cm}$;另一个是货运量单位“吨公里”写成 $\text{t} \cdot \text{km}$ 。
- b. 通过单位相除或相乘除(分数形式)构成的组合单位,词头一般加在分子的第 1 个单位前,分母一般不加词头。例如:摩尔嫡单位 $\text{J}/(\text{mol} \cdot \text{K})$ 加词头 k,应写成 $\text{k J}/(\text{mol} \cdot \text{K})$,不能写成 $\text{J}/(\text{mmol} \cdot \text{K})$,虽然 $\text{kJ}/(\text{mol} \cdot \text{K}) = \text{J}/(\text{mmol} \cdot \text{K})$,但 $\text{J}/(\text{mmol} \cdot \text{K})$ 是不规则的。
- c. 一般不在组合单位的分子分母同时加词头。
- d. 组合单位的分母为长度、面积、体积单位或分子为 1 时,分母可按习惯与方便选用某些词头。
- e. 质量单位 kg 例外。